

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

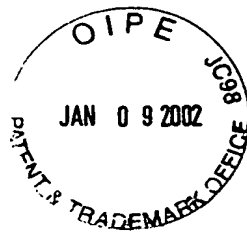
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**



RECEIVED  
JAN 11 2002  
TC 1700

JP A 61-230296

Publication date: 1986-10-14

Inventor(s): NUNOMURA KEIJI; UCHIUMI KAZUAKI

Applicant(s):: NIPPON ELECTRIC CO

Application Number: JP60-072159 1985-04-05

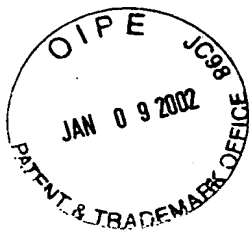
IPC Classification: G09F9/30 ; H05B33/10 ; H05B33/22

Equivalents: JP2009054C, JP7044072B

Title: EL ELEMENT AND MANUFACTURE THEREOF

#### Concise Explanation

JP A 61-230296 discloses that an EL device is comprising an electrically insulating substrate, a first electrode formed in a predetermined pattern, a first insulator layer, a light emitting layer capable of producing electroluminescence, and a second electrode successively stacked on the substrate, and optionally, a second insulator layer between the light emitting layer and the second electrode. The substrate is ceramic, the first insulator layer is high permittivity ceramic, the light emitting layer and the second insulator layer are thin films, and the second electrode is a transparent electrode.



RECEIVED  
(3) JAN 11 2002  
TC 1700

特開昭61-230296

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑫ 公開特許公報(A)

昭61-230296

① Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

③ 公開 昭和61年(1986)10月14日

H 05 B 33/22  
G 09 F 9/30  
H 05 B 33/10

7254-3K

6810-5C

7254-3K

審査請求 未請求 発明の数 2 (全6頁)

④ 発明の名称 E L素子とその製造方法

⑥ 特 願 昭60-72159

⑦ 出 願 昭60(1985)4月5日

⑧ 発 明 者 布 村 恵 史 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑨ 発 明 者 内 海 和 明 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑩ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑪ 代 理 人 弁理士 内 原 晋

## 明 細 書

1. 発明の名称 E L素子とその製造方法

### 2. 特許請求の範囲

(1) 電気絶縁性の基板と所定のパターンに形成された第1電極と第1絶縁体層とエレクトロルミネセンスを生じる発光層と第2の電極が順次積層された構造体か、あるいは該構造体の発光層と第2電極の間に第2の絶縁体層が介設されてなる構造体のE L素子において、前記基板がセラミックであり、前記第1絶縁体層が高誘電率のセラミックであり、発光層及び第2絶縁体層が薄膜であり、第2電極が透明電極であることを特徴とするE L素子。

(2) 特許請求範囲第1項記載のE L素子において第1絶縁体層がPbを含む複合ペロブスカイトからなるセラミックであることを特徴とするE L素子。

(3) 主に酸化物からなる粉末原料にバインダーを

混合し、泥漿とした後キャストニングにより第1のグリーンシートを作成する工程と高誘電率酸化物粉末を主原料としバインダー混合し、泥漿とした後キャストニングにより第2のグリーンシートを作成する工程と第1のグリーンシートあるいは第2のグリーンシートあるいは両方のグリーンシートに電極を印刷する工程と第1のグリーンシートと第2のグリーンシートを積層圧着し焼成することにより積層セラミック構造体を作成する工程と、該積層セラミック構造体上にZnS:MnやZnS:TbF<sub>3</sub>等のE L発光層薄膜を形成する工程と透明電極となる透明導電薄膜を形成する工程を含むことを特徴とするE L素子の製造方法。

### 3. 発明の詳細な説明

(発明の利用分野)

本発明は平型ディスプレイや面光源に利用されるE L(エレクトロルミネセンス)素子とその製造方法に関するものである。

## 特開昭61-230296 (2)

## (従来技術とその問題点)

螢光体物質に電圧を印加することにより発光を呈する、所謂エレクトロルミネセンスが1936年に発見されて以来、面光源や表示装置への応用を目的として多くの研究開発が行なわれてきた。各種のE.L.素子構成が提案検討されてきたが、現時点では絶縁体薄膜を挿入した交流駆動の薄膜E.L.素子が輝度特性、安定性に優れ、各種のディスプレイとして実用に供されている。第2図に代表的な2重絶縁型薄膜E.L.素子の基本構造を示す(エヌ・アイ・ディ・74・ダイジェスト・オブ・テクニカル・ペーパーズ 84頁, SID 74 digest of technical papers)。透明ガラス基板21上にITOやネオテ等の透明電極22、薄膜第1絶縁体層23、 $ZnS:Mn$ 等のエレクトロルミネセンスを呈する螢光体薄膜からなる薄膜発光層24、更にその上に薄膜第2絶縁体層25、 $Al$ 薄膜等の背面電極26からなる多層薄膜構造を有している。第1及び第2絶縁体層は $Y_2O_3$ 、 $Ta_2O_5$ 、 $Al_2O_3$ 、 $Si_3N_4$ 、 $BaTiO_3$ 、 $SrTiO_3$ 等の透明誘電

を高くする点でも重要である。即ち、絶縁体層としては、絶縁破壊耐圧が高く、容量の大きいものが求められている。このような観点から絶縁体層材料の良好さの指標として誘電率( $\epsilon$ ) $\times$ 絶縁破壊電界( $E_{b.d}$ )が広く採用されている。この $\epsilon \cdot E_{b.d}$ 値は最低でも $ZnS$ 発光層の $\epsilon \cdot E_{b.d}$ 値(約 $1.3 \mu C/cm^2$ )の約3倍の値が実用的には必要である(アイ・イー・イー・イー・トランザクションズ・オン・エレクトロン・デバイス IEEE Trans Electron Devices ED-24, p903 (1977))。 $E_{b.d}$ が非常に大きい絶縁体物質であれば $\epsilon$ が小さくても非常に薄い膜厚で使用することにより絶縁体層の大きな容量を実現可能であるが、現実的には表示装置や面光源として要求される広い面積にわたって微小な汚れや微粒子の付着等の欠陥を皆無にすることはきわめて困難であり、数 $100\text{\AA}$ 程度以下の薄い絶縁体層の採用は不適である。このような観点から高誘電率の薄膜を採用することが検討されている。例えばスパッタ法により形成された $PbTiO_3$ 膜を絶縁体層として

体薄膜でありスパッタリングや蒸着等により形成されている。このような絶縁体層は発光層内を流れる電流を制限し、E.L.素子の動作の安定性、発光特性の改善に寄与すると共に湿気や有害なイオンの汚染から発光層を保護しE.L.素子の信頼性を改善するものである。しかしながら、このような素子においてもいくつかの実用上の問題がある。即ち、素子の絶縁破壊を広い面積にわたって皆無にすることが困難であり歩止りが低いことや、絶縁体層に電圧が分割印加されるために発光に必要な素子に印加する駆動電圧が高くなることである。前述の素子の絶縁破壊の問題に関しては絶縁耐圧特性の良好な絶縁体層材料の採用が要求される。また、発光駆動電圧に関しては絶縁体層への印加電圧の分割分を少なくするためになるべく絶縁体層の容量を大きくすることが好ましい。またこのような交流駆動型E.L.素子の動作原理上、発光に寄与する発光層内を流れる電流は絶縁体層の容量には比例する。従って絶縁体層の容量を大きくすることは駆動電圧を低下させると共に発光輝度

採用することにより低電圧駆動が試みられている。(アイ・イー・イー・イー・トランザクションズ・オン・エレクトロン・デバイス IEEE Trans Electron Devices ED-28, p698 (1981))  $PbTiO_3$ 、スパッタ膜は最高190の比誘電率で $0.5 MV/cm$ の絶縁耐圧を示すが、 $PbTiO_3$ 膜の成膜時の蒸気温度は $600^\circ C$ 程度の高温が必要であり実用的ではない。また、比較的良好な $\epsilon \cdot E_{b.d}$ 値を示す薄膜としてスパッタによる $SrTiO_3$ 膜が知られている(ジャパン・ディスプレイ・'83, Japan Display '83, p76 (1983))。 $SrTiO_3$ 、スパッタ膜の比誘電率は140、絶縁破壊電圧は $1.5 \sim 2 MV/cm$ であり $\epsilon \cdot E_{b.d}$ 値は $19 \sim 25 \mu C/cm^2$ である。これは $PbTiO_3$ の $\epsilon \cdot E_{b.d}$ 値 $\cdot 7 \mu C/cm^2$ より優れている。しかし、 $SrTiO_3$ 膜も成膜時に $400^\circ C$ の高蒸気温度が要求され、またスパッタ成膜中にITO透明電極を還元して黒化させる等の実用上の問題がある。また、 $ZnS$ 発光層との密着性が悪い欠点があるほか、これらの比較的高い誘電率の絶縁体層を採用した薄膜E.L.素子は、絶

## 特開昭61-230296 (3)

絶縁膜が生じた場合、微少な破損孔を残して破損が完了する自己回復型の破損とはならず、実用的には致命的である伝播型の破損となる傾向が強い。

以上のように誘電率、 $\epsilon$ -E $\cdot$ d. 値の大きな絶縁体薄膜層を採用し、低電圧駆動、高輝度、発光特性、絶縁破損に対する安定性を実現することは現実的には困難である。

また、E $\cdot$ L素子の安定性や特性改善のための熱処理工程のためにガラス基板はアルカリ・フリーで且つ高い軟化点の高価なものを使用する必要があり薄膜E $\cdot$ L素子のコスト高の原因にもなっている。このように高価なガラスを採用しても600℃以下のプロセス温度に限定する必要がある。また、透明電極として使用しているITO膜の比抵抗が十分小さくなく、更にITO膜を厚くしてもちいた場合にはエッジ部での絶縁破損が発生しやすくなるために0.2ミクロン程度以下の厚さにする必要があり、電極抵抗を十分小さくすることができず、より大面積、大表示容量のディスプレイの実現の阻害要因となっていた。

構造のE $\cdot$ L素子が得られる。また前記積層セラミック構造体が第1絶縁体層としてPbを含む複合ペロブスカイトからなり1000℃以下の低温焼成により製造されるE $\cdot$ L素子の製造方法が得られる。(構成の詳細な説明)

本発明のE $\cdot$ L素子の基本構造を第1図に示す。本発明のE $\cdot$ L素子はセラミック基体11と厚膜第1電極12、高誘電率セラミック第1絶縁体層13とからなる積層セラミック構造体と真空蒸着、スパッタリング法、CVD法等で形成される薄膜発光層14、薄膜第2絶縁体層15、透明第2電極16とからなる基本構造を有している。尚、薄膜第2絶縁体層を省略した片絶縁構造としてもよい。発光層や第2絶縁体層は通常の薄膜E $\cdot$ L素子と同様であり、本発明のE $\cdot$ L素子は要するに基体、第1電極、第1絶縁体層がグリーンシートを積層焼成して作成される積層セラミック構造体であるとともに第1絶縁体層が高誘電率材料で構成されていることを特徴としている。更に、該第1絶縁体層をPbを含む複合ペロブスカイト材料とすると

以上のように従来の薄膜E $\cdot$ L素子は構成材料が高価であり、また歩止りが低く、更に高耐電圧の高価な駆動回路が必要であり表示装置として高価なものにならざるを得ず、また大面積化も困難であった。

## (発明の目的)

以上述べたように従来のガラス基板上に多層薄膜で形成された薄膜E $\cdot$ L素子の有する種々の欠点を解決した、高信頼で且つ低電圧駆動で高輝度発光するE $\cdot$ L素子とその製造方法を提供することが本発明の目的である。

## (発明の構成)

本発明によればセラミックの基体と所定のパターンに形成された厚膜電極と高誘電率セラミックの第1絶縁体層が積層された構造のグリーンシート法により製造された積層セラミック構造体上にZnS:Mn、ZnS:TbF $_3$ 、ZnS:SmF $_3$ 等の薄膜発光層、薄膜の第2絶縁体層、ITO等の透明導電膜からなる透明電極が積層された構造か、あるいは該構造において薄膜の第2絶縁体層が省略された

とにより低温焼成プロセスにより製造することを特徴とするものである。

尚、本発明のE $\cdot$ L素子はセラミック基板上に順次積層された透明電極側から表示を見て使用するものであり、通常のガラス基板を使用するものと異なりセラミック製の基体や第1電極、第1絶縁体層は透光性である必要はなく、かえって表示のコントラストを上げる効果のために強く着色されている方が好ましい。

上記のような積層セラミック構造体は通常のグリーンシートの積層技術により製造される。即ち基体となるセラミック原料粉末にバインダ混合し泥漿、キャストイング成膜し、グリーンシートを製造する。セラミックの内部電極となる第1電極はグリーンシートにスクリーン印刷法などにより印刷される。更に同様の工程により高誘電率誘電体材料を原料とした第1絶縁体層となるグリーンシートを作成する。尚、第1電極の厚膜印刷は該グリーンシートに印刷形成しても良い。以上の基体部及び第1絶縁体層となるグリーンシートを厚

## 特開昭61-230296 (4)

膜電極面を埋没するように積層圧着後、焼成し積層セラミック構造部が作成される。尚、基体部は第1絶縁体層と同一の材料により構成しても良いが材料コストや電極の容量を低減するためにアルミナ系やそれにガラスフリットが混入された低コストの高誘電率の絶縁体セラミックとする方が好ましい。EL素子では第1電極と第2電極で画定された部分で発光表示を行なうものであり、電極は電流供給の機能と画素表示の機能を兼ねており、各種の表示装置への応用に応じて任意のパターンに形成されるものである。第1電極のパターン形成は印刷法により容易に実現される。通常、EL素子の表示パネルにおいては極端に微細な電極パターンが要求されることはほとんどなく、スクリーン印刷法で十分であり、大面積に低コストで電極形成できる利点を有している。微細なパターンが要求される場合にはフォトリソグラフ技術を採用して厚膜電極の微細パターンを形成しても良い。

以上述べたように、本発明のEL素子は第1絶

縁体層の大容量が容易に実現される。また、数10ミクロンもの厚さで用いることができるので絶縁破壊のない素子が実現される。従って、高誘電率セラミックの絶縁体層の採用により絶縁破壊に安定な、且つ大容量の絶縁体層が実現され、低電圧駆動で高輝度発光特性が可能となる。

このような高誘電率の絶縁体セラミック層はグリーンシート法により厚さの均一性よく低コストで大面積に製造することができる。厚さは製造上の問題や素子としての安定性の点で数ミクロン以上あることが好ましい。また、厚くすることにより局所的な絶縁破壊に対して安定性は向上するが、当然厚さに反比例して容量が減少すると共に、表示素子とした場合の隣接表示画素とのクロストークの問題が生じるために300ミクロン以下が好ましい。本発明のEL素子の利点を明確にするためにはこのセラミック層の比誘電率は数100以上とすることが好ましいが、グリーンシート法により1,000~20,000程度の高誘電率セラミック層は各種の材料組成で製造可能である。しかし

絶縁体層と基体の間に電極が埋設された積層セラミック構造体上に薄膜発光層が形成されるものであるが、交流型EL素子の重要な構成要素である絶縁体層をセラミックで構成することによって絶縁体層の大容量と高い絶縁破壊強度が実現される。従来の薄膜EL素子での絶縁体薄膜の比誘電率は一般的に材料では5~25程度であり、厳しい製造条件で達成される $PbTiO_3$ 薄膜等においても100~200程度であるが、本発明のグリーンシートの焼成により得られるセラミックでは通常の高誘電率材料の選定により10,000以上もの高い比誘電率さえ容易に実現することが可能である。また誘電率がこのように大きいために、 $\epsilon \cdot E \cdot d$  値も従来の薄膜絶縁体層に比較して数10倍から100倍もの値が実現される。従って、例えば30ミクロンの厚さで形成しても、この第1絶縁体層の容量は通常の薄膜EL素子で採用されている $Y_2O_3$ 、 $Si_3N_4$ 、 $Ta_2O_5$ 、 $Al_2O_3$ 等の一般的な絶縁体層の容量より2倍も大きく、また薄膜絶縁体層として前述の $PbTiO_3$ 、 $SrTiO_3$ 薄膜と比較しても10

倍以上の誘電率で高い焼成温度が要求される第1電極として $Pt$ 、 $Ag$ 、 $Pd$ 等の高価な貴金属ペーストを使用する必要がある。 $BaTiO_3$ 系の特殊な材料では中性還元雰囲気中で焼成できるものもあり、この場合はニッケルを電極材料として使用することも可能である。しかしながら製造容易さや特性の安定性の点で $Pb$ を含む複合ペロブスカイトを代表とする低温焼成型の高誘電材料を使用することがもっとも好ましく、低価格な $Ag$ や $Al$ 含有量の多い $Ag-Pd$ 合金を採用することができる。

以上説明した積層セラミック構造体の上に蒸着やスパッタ等の薄膜プロセスにより発光層等を形成し本発明のEL素子が得られる。表面状態を改良するために積層セラミック表面を発光層の成膜前に研磨しても良いが、研磨せずに直接発光層を形成しても特別な不都合は生じない。

## (実施例)

アルミナとホウケイ酸ガラスからなる粉末にバインダー混合し、泥漿とした後キャストイング

## 特開昭61-230296 (5)

成膜により厚さ0.7 $\mu$ mのセラミック基体となるグリーンシートを作成した。このセラミック生シート上にスクリーン印刷によりAgが85原子パーセント、Pdが15原子パーセントからなるAg-Pdペーストを0.33 $\mu$ m巾、ピッチ0.55 $\mu$ mのストライプ状のパターンに形成した。低温焼成用のPb系複合ペロブスカイト材料として $Pb(P_{0.4}W_{0.6})_{0.5}(P_{0.4}Nb_{0.6})_{0.5}O_3$ の予焼粉末にバインダ混合、キャスト成膜を行ない40 $\mu$ m厚さの第1絶縁体層用のグリーンシートを作成した。このグリーンシートを前述の電極パターンが印刷された基体用のグリーンシート上に積層圧着し、端部の不用部分を切断したのち950 $^{\circ}$ Cで焼成し積層セラミック構造体を作成した。この焼成により約10 $\mu$ mの収縮があったが、その発生はなかった。次にZnSとMnの共蒸着法によりZnS:Mnを0.3 $\mu$ mの厚さに真空蒸着した。特性の改善のためにAr中で650 $^{\circ}$ C、2時間の熱処理を行なった。その後、 $Ta_2O_5$ と $Al_2O_3$ の混合物からなるターゲットを使用してス

パッタ法により $TaAlO$  絶縁体層を0.3 $\mu$ m形成し第2絶縁体層とした。次にスパッタ法によりITO膜を0.4 $\mu$ mを形成し、前記のAg-Pd厚膜ストライプ電極と直交する配置で0.3 $\mu$ m巾、0.5 $\mu$ mピッチにエッチングし透明ストライプ電極とした。尚、ITO膜は0.4 $\mu$ mと厚いために面抵抗は約5 $\Omega$ であり低くできた。

このようにして作成したEL素子はセラミックの第1絶縁体層の容量が非常に大きいためにこの層での電圧降下はほとんどなく、また、発光層の高温度処理による結晶性やMnの分布が改善され、更に電極抵抗が低いことも加わって、交流パルス電圧印加による発光開始電圧は55Vと低く、且つ発光輝度は80V、500Hzで約500 $cd/m^2$ と良好な特性を示した。なお、薄膜の第2絶縁体層を排除した片絶縁構造の場合は電流値が大きく発光効率を悪くしていたが、発光開始電圧は40V程度と低く、また発光輝度は同程度であった。本実施例の素子では200Vまでの電圧印加にかいても絶縁破壊は皆無であり高い安定性を示した。

以上のような良好な発光特性と安定性はZnS:Mn以外に緑色発光のZnS:TbF、や赤色発光のZnS:SmF、等を発光層とした場合も同様であり本発明のEL素子構造の有効性が示された。

## (発明の効果)

以上説明したように本発明のEL素子は高安定、低電圧駆動、高輝度発光、高コントラストであり、電極抵抗も低くできるためにセグメント表示から大表示容量のドットマトリクス表示まで可能とするものである。また、絶縁破壊による素子の破壊がほとんどなく歩止りが改善され、また積層セラミックの採用や厚膜プロセスは従来の高価格なガラス基板、薄膜プロセスの多用に比較してコスト低減が実現されるものである。更に駆動電圧の低電圧化により大巾な駆動回路部の低コスト化をももたらすものであり本発明の工業的価値は大である。

## 4. 図面の簡単な説明

第1図は本発明のEL素子の断面を模式的に示

したものである。第2図は従来の薄膜EL素子の断面構造を示したものである。

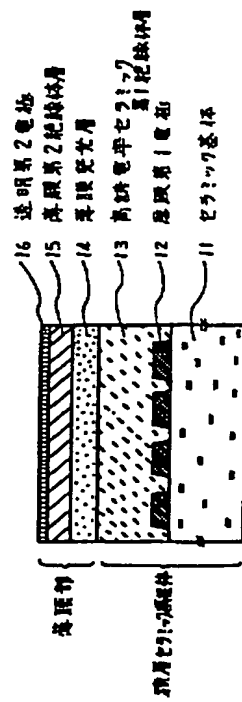
- 11-セラミック基体、12-厚膜第1電極、
- 13-高誘電率セラミック第1絶縁体層、
- 14,24-薄膜発光層、15,25-薄膜第2絶縁体層、
- 16-透明第2電極、21-ガラス基板、
- 22-透明電極、23-薄膜第1絶縁体層、
- 26-背面電極

内 原 士 加 入



特開昭61-230296 (6)

第 1 図



第 2 図

